

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl.<sup>7</sup>  
H01L 33/00

(45) 공고일자 2005년03월10일  
(11) 등록번호 10-0470904  
(24) 등록일자 2005년01월31일

---

|           |                 |           |                 |
|-----------|-----------------|-----------|-----------------|
| (21) 출원번호 | 10-2002-0042721 | (65) 공개번호 | 10-2004-0008962 |
| (22) 출원일자 | 2002년07월20일     | (43) 공개일자 | 2004년01월31일     |

---

(73) 특허권자 주식회사 비첼  
서울 서초구 양재동 3-3 에이디티빌딩 3층 1호

(72) 발명자 강상규  
경기도 안양시 동안구 호계동 1052 목련아파트 208동 302호

(74) 대리인 김동진

심사관: 최광섭

---

**(54) 고휘도 질화물 마이크로 발광 다이오드 및 그 제조방법**

---

**요약**

본 발명은 고휘도 질화물 마이크로 발광 다이오드(LED) 및 그 제조방법에 관한 것이다. 본 발명은 마이크로 사이즈의 발광기둥(10)을 다수개 형성하고, 그 기둥들 사이의 캡을 SiO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub>, DBR(ZrO<sub>2</sub>/SiO<sub>2</sub>, HfO<sub>2</sub>/SiO<sub>2</sub>), 폴리아미드 등의 충전재(5)로 채우면서 발광기둥 어레이들과 충전재의 상부면(11)을 CMP가공에 의해 평탄화한 후에 대면적의 투명전극(6)을 형성하고 그것에 의해서 모든 발광기둥들이 동시에 작동하도록 구성되는 것을 특징으로 하는 고휘도 질화물 마이크로 LED 및 그 제조방법을 제공한다. 또한 플립칩(flip-chip) 구조를 채택하여 마이크로 사이즈 발광기둥 어레이의 전극 형성 균일도를 향상시킨 고휘도 질화물 마이크로 LED를 제공한다.

**대표도**

도 1

색인어

질화물, 마이크로, 발광, 소자, 발광기둥, 평탄화, 투명전극, 고휘도

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 마이크로 발광 다이오드(Light Emitting Diode; LED)를 나타낸 도면,

도 2a 내지 도 2e는 도 1의 마이크로 LED를 구현하기 위한 제조방법을 설명하기 위한 도면,

도 3 및 도 4는 본 발명의 일 실시예에 따른 마이크로 LED의 변형 예를 설명하기 위한 도면,

도 5는 본 발명의 일 실시예에 따른 마이크로 LED의 또 다른 변형 예를 설명하기 위한 도면,

도 6a 내지 도 6d는 도 1의 마이크로 LED를 구현하는 데 있어서, 건식 식각 대신에 선택적 채성장 방법으로 마이크로 LED를 제작하는 방법을 설명하기 위한 도면.

\* 도면의 주요 부분에 대한 부호의 설명 \*

- 1 : 기판 2 : n형 GaN층  
 3 : 활성층 4 : p형 GaN층  
 5 : 충진재 5a : 충진재기둥  
 6 : 투명 전극 7 : p형 전극  
 8 : n형 전극 9, 9a : DBR층  
 10 : 마이크로 발광기둥 11 : 상부면  
 11a : 볼록면 12, 13 : 겹(gap)

발명의 상세한 설명

#### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 고휘도 질화물 마이크로 발광 다이오드 및 그 제조방법에 관한 것으로, 특히 질화물 발광 소자를 마이크로 크기로 미세하게 조절하고 그러한 소자들의 어레이들이 동시에 작동하게 하여 발광 효율을 극대화시킨 고휘도 질화물 마이크로 발광 다이오드 및 그 제조방법에 관한 것이다.

최근 질화물계 반도체 발광 다이오드(Nitride Semiconductor LED)는 질화갈륨(Gallium Nitride: GaN) 반도체의 우수한 특성으로 인해 많은 연구가 진행되고 있다.

특히 질화물 LED가 디스플레이 뿐만 아니라, 조명용으로서 사용되기 위해서는 현재 상용화된 LED의 회도 한계를 극복하는 것이 큰 과제이다.

질화물 LED는 일반적으로 직경  $300\mu\text{m}$  이상의 소자 면적에서 발광을 하는데, 발광층에서 생성된 빛이 소자를 벗어나지 못하고 소자 내부에 갇히는 경우가 많아 외부 발광 효율이 30%를 넘지 못하는 한계를 가지고 있다.

이러한 문제의 해결을 위해서는 내부 발광 효율과 외부 발광 효율을 각각 최적화해야 한다. 대부분의 GaN는 이종 에피택시(epitaxy) 기술로 성장시키기 때문에 필연적으로 내부에 다수의 격자 결함을 가지고 있으며, 이는 내부 발광 효율을 저하시키는 결과를 초래한다.

그럼에도 불구하고 최근의 GaN 성장 기술은 이종 에피택시 기술을 토대로 최적화되는 추세여서 더 이상 내부 발광 효율의 증대를 기대하기가 어렵다. 따라서 이미 최적화되어 박막 성장된 소자 구조를 가지고 효율적인 전극 형성, 빛의 집적도를 높이는 패키징 기술 등을 통해 발광 효율을 높이려는 기술적인 시도들이 중요한 이슈로 등장하였다.

#### 발명이 이루고자 하는 기술적 과제

이에 본 발명은 이미 최적화된 박막 성장 구조를 갖는 질화물 반도체를 이용하여 개량된 고휘도의 질화물 마이크로 LED를 제공하기 위한 것으로, 본 발명의 목적은 발광 소자를 마이크로 크기로 제어하여 최대한 발광 면적을 증대시키고 활성층에서 발생된 빛이 소자 외부로 추출되도록 한 고휘도 질화물 마이크로 LED 및 그 제조방법을 제공하는 데 있다.

본 발명의 또 다른 목적은 기존의 대면적 LED와 동일한 전력을 소모하면서도 발광 효율이 매우 우수한 고휘도 질화물 마이크로 LED 및 그 제조방법을 제공하는 데 있다.

#### 발명의 구성 및 작용

상기한 목적을 달성하기 위한 본 발명은 다수개의 마이크로 발광 기둥을 구비한 고휘도 질화물 마이크로 LED(Light Emitting Diode)에 있어서, 기판상에 형성된 n형 GaN층과, 상기 n형 GaN층 위에 형성된 활성층, 및 상기 활성층 위에 형성된 p형 GaN층을 구비한 다수개의 마이크로 사이즈 발광기둥(pillar)과; 상기 발광기둥들 사이에 발광기둥들과 동일한 높이로 채워진 충진재(gap filling material)와; 상기 발광기둥들과 상기 충진재의 상부면에 형성된 p형 투명전극과; 상기 p형 투명전극 위에 형성된 p형 전극; 및 상기 n형 GaN층과 전기적으로 접속된 n형 전극을 포함하며, 상기 발광기둥 어레이는 동시에 구동되는 것을 특징으로 하는 고휘도 질화물 마이크로 발광 다이오드를 제공한다.

본 발명에 있어서, 상기 충진재는  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ ,  $\text{SiO}_2$  와  $\text{Si}_3\text{N}_4$  의 조합, 폴리아미드(Polyamide),  $\text{ZrO}_2/\text{SiO}_2$  및  $\text{HfO}_2/\text{SiO}_2$  중에서 선택된 적어도 하나인 것이 바람직하다.

본 발명에 있어서, 상기 충진재는 CMP(Chemical Mechanical Polishing) 공정에 의해 상기 발광기동들과 동일한 높이로 채워지도록 형성된다.

본 발명에 있어서, 상기 발광기동들의 p형 GaN층의 상부면은 상기 CMP 공정에 의해 형성된 볼록면을 구비할 수 있다. 이러한 경우 볼록면은 렌즈 기능을 담당한다.

본 발명에 있어서, 상기 투명전극은 산화된 Ni/Au(NiO/Au)의 조합 또는 ITO(Indium Tin Oxide)로 이루어지는 것이 바람직하다.

본 발명에 있어서, 상기 투명전극의 상부면과 상기 기판의 바닥면 위에 각각 형성된 한쌍의 DBR(Distributed Bragg Reflectors)층을 더 구비하는 것이 바람직하다.

본 발명에 있어서, 상기 투명전극의 상부면 또는 상기 기판의 바닥면 위에 코팅된 AR(Anti-Reflection)층을 더 구비할 수 있다.

본 발명에 있어서, 상기 발광기동들은 경사지게 형성된 측면부를 구비할 수 있다. 이러한 경우, 상기 발광기동들의 사이의 갭 내측에는 상기 충진재 하부측에 형성되고 ZrO<sub>2</sub>/SiO<sub>2</sub> 또는 HfO<sub>2</sub>/SiO<sub>2</sub>로 이루어진 DBR층을 더 구비하는 것이 바람직하다.

또한 본 발명은 다수개의 마이크로 발광 기동을 구비하고 플립칩 방식으로 실장되는 고휘도 질화물 마이크로 LED에 있어서, 사파이어 기판과; 상기 사파이어 기판상에 성장된 n형 GaN층과, 상기 n형 GaN층 위에 성장된 활성층, 및 상기 활성층 위에 성장된 p형 GaN층을 구비한 다수개의 마이크로 사이즈 발광기동들; 상기 발광기동들 사이의 갭에 발광기동들과 동일한 높이로 채워진 충진재와; 상기 발광기동들의 상부면과 상기 충진재의 상부면에 형성된 금속전극과; 상기 금속전극 위에 형성된 p형 전극; 및 상기 n형 GaN층과 전기적으로 접속된 n형 전극을 포함하며, 상기 발광기동 어레이는 동시에 구동되는 것을 특징으로 하는 고휘도 질화물 마이크로 LED를 제공한다.

또한 상기 한 목적을 달성하기 위한 본 발명은 다수개의 마이크로 발광기동을 구비한 고휘도 질화물 마이크로 LED를 제조하는 방법에 있어서, (a) 웨이퍼 또는 기판상에 n형 GaN층과 활성층 및 p형 GaN층을 순차적으로 성장시키는 단계와; (b) 상기 n형 GaN층과 활성층 및 p형 GaN층을 구비한 발광기동들이 기판상에 형성되도록 상기 가공된 웨이퍼를 건식 식각하는 단계와; (c) 상기 발광기동들 사이의 갭에 충진재를 증착시키는 단계와; (d) CMP 공정에 의해 상기 발광기동 어레이 상부면과 충진재 상부면을 평탄화하는 단계와; (e) 상기 발광기동 어레이의 상부면과 충진재의 상부면 전체에 투명전극과 p형 전극 및 n형 전극을 각각 증착하고 열처리하는 단계를 포함하는 것을 특징으로 하는 고휘도 질화물 마이크로 LED의 제조방법을 제공한다.

본 발명에 있어서, 상기 (c)단계는 상기 충진재가 상기 발광기동들 사이의 갭에 완전히 채워지도록 행해지고, 상기 (d)단계는 상기 발광기동들의 상부면과 상기 충진재의 상부면이 동일한 높이가 되도록 행해지는 것이 바람직하다.

본 발명에 있어서, 상기 (c)단계는 상기 충진재가 상기 발광기동들 사이의 갭에 완전히 채워지도록 행해지고, 상기 (d)단계는 또한 상기 발광기동들의 p형 GaN층의 상부면이 볼록면으로 형성되도록 행해질 수 있다.

본 발명에 있어서, 상기 충진재는 SiO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub>, SiO<sub>2</sub> 와 Si<sub>3</sub>N<sub>4</sub> 의 조합, 폴리아미드(Polyamide), ZrO<sub>2</sub>/SiO<sub>2</sub> 및 HfO<sub>2</sub>/SiO<sub>2</sub> 중에서 선택된 적어도 하나인 것이 바람직하다.

본 발명에 있어서, 상기 투명전극은 산화된 Ni/Au(NiO/Au)의 조합 또는 ITO(Indium Tin Oxide)로 이루어지는 것이 바람직하다.

본 발명에 있어서, 상기 (e)단계 이후에 상기 투명전극의 상부면과 상기 기판의 바닥면 위에 한 쌍의 DBR층을 증착하는 단계가 더 포함되는 것이 바람직하다.

본 발명에 있어서, 상기 (e)단계 이후에 상기 투명전극의 상부면 또는 상기 기판의 바닥면 위에 AR층을 코팅하는 단계가 더 포함되는 것이 바람직하다.

본 발명에 있어서, 상기 (b)단계는 상기 발광기동들의 측면이 경사부로 형성되도록 공정 변수가 제어될 수 있다. 이러한 경우, 상기 (b)단계와 상기 (c)단계 사이에는 상기 발광기동들 사이의 갭 내측에 DBR층을 증착하는 단계가 더 포함되는 것이 바람직하다.

또한 본 발명은 다수개의 마이크로 발광 기동을 구비하고 플립칩 방식으로 실장되는 고휘도 질화물 마이크로 LED를 제조하는 방법에 있어서, (a) 사파이어 웨이퍼 또는 기판상에 n형 GaN층과 활성층 및 p형 GaN층을 순차적으로 성장시키는 단계와; (b) 상기 n형 GaN층과 활성층 및 p형 GaN층을 구비한 발광기동들이 기판상에 형성되도록 상기 가공된 웨이퍼를 건식 식각하는 단계와; (c) 상기 발광기동들 사이의 갭에 충진재를 증착시키는 단계와; (d) CMP 공정에 의해 상기 발광기동 어레이의 상부면과 상기 충진재의 상부면을 평탄화하는 단계와; (e) 상기 발광기동 어레이 상부면 전체에 금속전극을 증착시키고 p형 전극 및 n형 전극을 각각 증착시키며 열처리하는 단계를 포함하는 것을 특징으로 하는 고휘도 질화물 마이크로 LED의 제조방법을 제공한다.

또한 본 발명은 다수개의 마이크로 발광기동을 구비한 고휘도 질화물 마이크로 LED를 제조하는 방법에 있어서, (a) 웨이퍼 또는 기판상에 n형 GaN 완충층을 성장시키는 단계와; (b) 상기 n형 GaN 완충층 위에 산화막을 증착시키는 단계와; (c) 상기 산화막이 다수개의 기동들과 그 사이의 갭을 갖도록 상기 산화막을 습식 식각하고 패터닝하는 단

계와; (d) 상기 캡의 바닥면에 노출된 상기 n형 GaN 완충층을 이용하여 n형 GaN층과 활성층 및 p형 GaN층을 산화막 기둥의 높이까지 순차적으로 재성장시키는 단계와; (e) 상기 재성장된 발광기둥 어레이의 상부면 전체에 투명전극을 증착하고 상기 투명전극의 소정 위치에 p형 전극을 증착하며, 상기 n형 GaN 완충층 위에 n형 전극을 증착하고 열처리하는 단계를 포함하는 것을 특징으로 하는 고휘도 절화물 마이크로 LED의 제조방법을 제공한다.

본 발명에 있어서, 상기 (e)단계 이후에 상기 투명전극의 상부면과 상기 기판의 바닥면 위에 한 쌍의 DBR층을 증착하는 단계가 더 포함되는 것이 바람직하다.

본 발명에 있어서, 상기 (e)단계 이후에 상기 투명전극의 상부면 또는 상기 기판의 바닥면 위에 AR층을 코팅하는 단계가 더 포함될 수 있다.

이하 본 발명의 바람직한 실시예를 도면을 참조하여 상세히 설명한다.

#### 실시예

##### <제 1 실시예>

도 1은 본 발명의 일 실시예에 따른 마이크로 LED를 나타낸 도면이고, 도 2a 내지 도 2e는 도 1의 마이크로 LED를 구현하기 위한 제조방법을 설명하기 위한 도면이다.

도 1에 도시된 바와 같이, 본 발명의 고휘도 절화물 마이크로 LED는 기판(1), n형 GaN층(2), 활성층(3), p형 GaN층(4), 충진재(5), 투명전극(6), p형 전극(7), n형 전극(8), 및 DBR(Distributed Bragg Reflectors)층(9)으로 구성된다. 도 1에서 참조부호 10은 마이크로 사이즈의 발광기둥을 나타낸다.

구체적으로 소정 방향으로 성장된 사파이어( $\text{Al}_2\text{O}_3$ ) 기판(1) 상에 순차적으로 성장 배치된 n형 GaN층(2)과 InGaN/GaN 활성층(3) 및 p형 GaN층(4)은 마이크로 사이즈를 갖는 다수개의 발광 기둥 또는 발광 소자 기둥(10)으로 형성된다.

이러한 발광 소자 기둥(10)은 빛의 방출면을 최대화하기 위해서 원기둥 모양으로 형성된다. 물론, 본 발명의 발광 소자 기둥(10)은 원기둥 모양 이외에 다각 기둥 모양으로 형성될 수 있다. 또한 발광 소자 기둥(10)의 직경은 발광파장과 비슷한  $0.5\mu\text{m}$ 에서부터 수십  $\mu\text{m}$ 까지 조절될 수 있다. 그리고 기둥(10)의 높이는 기둥 내에 활성층과 n형, p형 평층이 모두 포함되도록 조절된다. 이러한 소자 실현은 건식 식각 방식을 이용하거나, 선택적 재성장(selective regrowth) 방법으로 형성된다. 본 실시예에서는 건식 식각 방식을 이용한 제조방법을 먼저 설명하고 선택적 재성장 방법을 이용한 제조방법은 도 6a 내지 도 6d를 참조한 실시예에서 상세히 설명한다.

충진재(5)는 발광 소자 기둥들(10) 사이에 형성된 간격 또는 캡(gap)을 채워주는 물질로서, 평탄화 작업을 통해 각 기둥들(10)의 전극 형성을 용이하게 한다. 충진재(5)로서 사용 가능한 물질로는  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ ,  $\text{SiO}_2$ 와  $\text{Si}_3\text{N}_4$ 의 조합, 폴리아미드(polyamide),  $\text{ZrO}_2/\text{SiO}_2$ ,  $\text{HfO}_2/\text{SiO}_2$  등이 이용된다. 이러한 충진재를 증착하는 방법은 강화화학기상증착(PECVD), 증발(Evaporation), 스퍼터링(Sputtering) 등의 방법이 사용된다.

투명전극(6)으로는 산화된 Ni/Au(NiO/Au)의 조합이나 ITO(Indium Tin Oxide) 등이 사용된다. 투명전극(6)은 발광 소자 기둥(10)의 상부측, p형 GaN층(4)의 표면과 충진재(5)의 상부면(11)에 배치되어 각 발광 소자 기둥(10)의 전기적 편평과 함께 모든 기둥들(10)이 동시에 작동되도록 형성된다. 이때 발광 소자 기둥(10)의 상부측 p형 GaN층(4)의 표면과 충진재(5)의 상부면(11)은 소정 공정에 의해 미리 평탄화되어 있어야 한다.

p형 전극(7)과 n형 전극(8)은 금(Au), 은(Ag), 알루미늄(Al), 구리(Cu), 또는 이들을 포함한 합금 중에서 선택된 적어도 하나의 도전성 재료로 이루어진다.

DBR층(9)은 공진 구조를 갖는 마이크로 LED의 형성을 위해 투명전극(6)과 기판(1) 뒷면에 반사도가 높은 층으로 형성된다.

이와 같이, 본 발명의 마이크로 사이즈 절화물 발광 소자는 기본적으로 수 마이크로 사이즈의 발광기둥(pillar)들과 그 소자 기둥 사이에 채워질 간격 충진 재료(gap filling material), 공명 구조 LED(RCLED) 형성을 위한 DBR, 및 전기적 편평을 위한 전극들로 구성된다.

다시 말해서 현재 상용화 되어 있는 대면적 LED와 가장 크게 구별되는 점은 평면의 대면적 대신 마이크로 사이즈의 발광 소자 어레이(array)로써 발광 면적을 증가시키는 것이다. 또한 그러한 발광 소자 어레이의 동시 작동을 유도하기 위하여, 실리카와 같은 재료들이 어레이들 사이에 채워지고, 평탄화 작업을 통해 효율적으로 투명 전극을 형성한 구조를 갖는 것이다.

보다 구체적으로 도 2a 내지 도 2e를 참조하여 제작 과정을 살펴보면 다음과 같다.

먼저 도 2a에서와 같이 내부 발광 효율이 뛰어난 발광 다이오드를 유기금속 화학기상증착법(MOCVD)으로 성장시킨다. 즉, 소정 결정 방향을 갖는 사파이어 웨이퍼 또는 기판(1) 상에 n형 GaN층(2)을 형성하고 그 위에 InGaN/GaN 양자우물(Quantum Well: QW) 활성층(3)을 형성한 다음 그 위에 p형 GaN층(4)을 형성한다.

다음으로 위와 같은 반도체 발광 소자 구조가 형성된 웨이퍼를 도 2b와 같이 기둥 모양으로 전식 식각 한다. 이러한 식각 공정은  $\text{Cl}_2$ ,  $\text{BCl}_2$  등의 반응성 가스를 이용하는 ICP(Inductive Coupled Plasma) 공정을 통해 실시된다. 발광 기둥(10)의 모양은 발광 효율이 가장 뛰어날 것으로 기대되는 원형과 더불어 다각형의 모양이 선택 될 수 있다.

이때 발광 기둥(10)의 높이는 QW구조와 n형 및 p형 GaN가 기둥 내에 다 포함되도록 대략  $1\mu\text{m}$ 내외로 형성하며, 발광 기둥의 직경은 대략 광학 결정(photonic crystal)을 형성하는  $0.4\mu\text{m}$ 부터 수십 마이크로 이내로 형성한다.

식각 공정 후에는 발광 기둥들(10) 사이에 형성된 갭(12)에 충진재(5)를 증착한다. 이때 충진재(5)는 일반적으로 도 2c에 도시된 바와 같은 형태로 증착된다. 따라서 충진재(5)의 최초 증착 두께는 최소한 발광 기둥(10)의 높이 이상이어야 하며, 충진재 증착으로 인하여 최종적으로 갭 충진층(gap filling layer)내에 공동(void)이 형성되지 않도록 세심한 공정 방법 선택 및 공정 제어가 요구된다. 이러한 요구를 충족시키기 위해서 충진재(5) 증착 공정은 고밀도 플라즈마 보조 증착법을 사용하는 것이 바람직하다. 그리고 충진재(5)로서는  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ ,  $\text{SiO}_2$ 와  $\text{Si}_3\text{N}_4$ 의 조합, 폴리아미드(polyamide),  $\text{ZrO}_2/\text{SiO}_2$ ,  $\text{HfO}_2/\text{SiO}_2$  등을 이용할 수 있다.

이러한 충진재(5) 원료들은 일단 각 발광 기둥들(10)간의 절연을 확실히 제공하며, 후반기 공정에 있을 열처리에 대비해 열적으로 안정적일 뿐만 아니라, 공기보다 굴절율이 높아 발광 빛의 프레넬(fresnel) 손실을 감소시키는 효과를 기대할 수 있다. 특히,  $\text{SiO}_2$ 만을 사용하는 경우에 비교해,  $\text{ZrO}_2$ 나  $\text{HfO}_2$ 를 GaN 측면에 첫번째 층으로 사용할 경우 GaN와 굴절율 차이가 더 적어져 전반사와 프레넬 손실을 더 감소시킬 수 있다.

도 2d에 도시된 바와 같이, 증착된 충진층(5)은 발광 기둥(10) 어레이의 상부면 전체에 균일한 투명 전극을 제공하기 위한 평탄화 공정을 거치게 된다. 평탄화를 위한 공정으로 여러 가지 방법이 제시 될 수 있지만, 본 발명에서는 CMP공정을 가장 효과적인 방법으로 제안한다.

구체적으로, 본 발명에서는 증착된 충진재(5)와 발광 기둥(10)의 높이를 동일하게 만들기 위해 평탄화 작업이 행해진다. 평탄화 가공은 두꺼운 포토레지스트(Photo Resist: PR) 막을 증착한 다음, 산화막과 PR막이 같은 속도로 식각되는 전식 식각 방식을 이용하거나, CMP(Chemical-Mechanical Polishing)을 통해서 할 수 있다. 특히 CMP를 이용할 경우, 산화막만 선택적으로 식각 되고, GaN막은 평탄화 정지 층으로 이용할 수 있어, 작업의 제어성 및 재현성이 아주 뛰어나다.

다시 말해서 GaN는 화학적, 기계적으로 매우 안정적이기 때문에 발광 기둥(10)의 상부에 증착된 충진층(5)을 제거하기 위한 CMP방법은 GaN층의 손상을 초래하지 않는다. 이는 발광 기둥(10) 어레이 자체를 평탄화 종점(end point)층으로 사용 가능함을 의미하기 때문에 평탄화 공정의 재현성과 신뢰성을 매우 높일 수 있다.

CMP 공정에 사용되는 용액으로는 산화막을 부르게 하는 일반적인 알카리성 용액을 사용한다. 상용화된 제품으로는 Syton 등이 있으며, 산도(pH) 조절로써 산화막의 무르기를 제어할 수 있다. 폴리싱(polishing) 입자로는 미세한  $\text{SiO}_2$ 나  $\text{Al}_2\text{O}_3$ 을 사용하며, 평탄화 종료 후 발광 기둥 상부면과 충진재 상부면(11)의 높이 단차를 줄이기 위해서 입자가 미세할수록 유리하다.

도 2d와 같이 발광 기둥(10)의 모양이 전혀 손상 없이 보존되기 위해서는 유리와 같은 딱딱한 폴리싱 패드를 사용하되, 시편에 가하는 힘이 약한 것이 바람직하다. 또한 부드러운 패드를 사용하고, 큰 힘을 시편에 가하면서 CMP 공정을 행하면 도 3과 같이 GaN 최상층-p형 GaN층의 상부면-을 렌즈 형태(11a)로 가공할 수 있다. 이는 CMP가공의 또 다른 장점이기도 한데, 도 3에서 보는 렌즈 형태(11a)는 발광 효율과 빛의 직진성을 증대시킨다.

그 다음으로 도 2e에 도시된 바와 같이 CMP공정 다음에 마무리 공정으로 투명 전극(6)을 형성한다. 즉, 평탄화 공정 종료 후 노출된 발광 기둥(10)의 상부측 표면은 p형 GaN인데, 여기에 대면적으로 투명 전극(6)을 형성시켜, 각 발광 기둥의 전기적 펌핑과 함께 모든 기둥들(10)이 동시에 작동되는 구조를 만든다. 투명 전극(6)의 재료로는 얇은 Ni/Au나 ITO 등을 사용한다. 그리고 p형 전극(7) 및 n형 전극(8)을 형성시키고 열처리를 해준다.

한편, 상술한 ICP 식각 공정에서 공정 변수 변화로 측면의 기울기를 제어할 수 있다. 일반적으로는 비스듬한 기울기 없이 수직성이 뛰어난 식각 공정을 선호하나, 충진재의 선택 여부에 따라서 비스듬한 측면을 유도할 필요가 있다. 즉 충진재를 DBR재료로 선택하는 경우 비스듬한 측면이 수직한 측면보다 공정상 유리하다. 예를 들면 발광 기둥(10)의 측면을 경사지게 형성하고 그 형성된 갭에 DBR재료의 충진재를 충진하여 도 4에 도시된 것과 같이 형성할 수 있다. 다시 말해  $\text{ZrO}_2/\text{SiO}_2$  또는  $\text{HfO}_2/\text{SiO}_2$ 를 이용하여 먼저 갭(12) 내측면(10a) 및 하부에 DBR층(9a)을 형성하고 다른 재료의 충진재(5)를 더 채울 수 있다. 그런 다음 도 4에 도시되지는 않았지만 앞서 설명한 것과 같이 투명 전극(6)과 p형 전극(7) 및 n형 전극(8)을 형성할 수 있다.

게다가, 본 발명은 도 5에 도시된 바와 같이 반도체 소자의 기판(1)이 위쪽으로 향하는 플립칩(Flip-chip) 형태로 발광 소자를 이용할 경우에 투명 전극 대신에 플립칩 실장이 가능한 금속전극(6a)을 증착할 수 있다.

위의 예는 소자 위쪽으로 발광되는 구조이나, 본 발명은 그러한 구성으로 한정되지 않고 빛이 주로 기판쪽으로 발광되는 플립칩 구조도 포함한다. 다시 말해 앞서 설명한 예를 통해서 투명 전극(6) 또는 금속 전극(6a)까지 마련된 소자를 도 5와 같이 플립칩 형태로 제조함으로써 기판(1)쪽으로 발광되는 빛을 고효율로 이용할 수 있다.

또한 이러한 플립칩 구조는, 발광 기둥(10)과 충진재 상부면-도 5에서 충진재(5)의 아래쪽 면-의 미세한 단차에 의해 발생될 가능성이 있는 얇은 투명 전극의 국부 불연속성을 방지한다. 즉 이들의 국부 불연속성으로 인해 발광 기둥 어레이들 중에 동시에 작동하지 않는 것들이 발생하는 것을 방지한다.

이와 같이 본 발명에서 플립칩 구조를 채택할 경우 그러한 문제들을 완벽하게 해결하여 높은 광효율을 얻을 수 있다. 뿐만 아니라, 발광층과 인접 매질간의 굴절률 차이가 적을수록 빛의 방출 효율이 증대되는 것을 감안하면, 플립칩 구조에서는 필연적으로 발광되는 빛이 기판을 통과하게 되고, 이것은 발광되는 빛이 바로 공기중으로 방출되는 구조에 비해 높은 광방출 효율을 얻을 수 있도록 한다.

더욱이, 본 발명은 앞서 설명한 예들의 최종 소자 구조에 덧붙여서 AR(Anti-Reflection)층을 코팅하거나, 소자 상부층에 DBR층을 증착하여 RCLED(Resonant Cavity LED) 구조를 이를 수 있다. 이러한 경우 반사도가 VCSEL(vertical cavity surface emitting diode)에 형성된 DBR처럼 높지 않다 하더라도, 적당한 반사도를 가진 DBR층은 발광 빛의 재활용도를 높이고, 발광 빛의 품질을 높이는데 매우 효과적이다.

#### <제 2 실시예>

도 6a 내지 도 6d는 제 1 실시예의 마이크로 LED를 구현하는 데 있어서, 건식 식각 대신에 선택적 재성장 방법을 포함한 마이크로 LED를 제작하는 방법을 설명하기 위한 도면이다.

제 2 실시예에서는 제 1 실시예에서 발광 기동(10) 형성을 위해 건식 식각 방식을 채택했던 것과 달리 선택적 재성장 방법을 선택한다. 이러한 경우 제 2 실시예에서는 CMP공정을 포함하지 않는다.

도 6a에 도시된 바와 같이, 먼저 기판(1) 위에 발광기동(10)(도 6d 참조)을 재성장시키기 위한 GaN 완충층(2a)을 성장시키고, 얇고자 하는 높이의 발광 기동 두께로 산화막(5)을 증착한다. 산화막(5)을 습식 식각을 통해 패터닝하면 도 6b와 같은 형태를 얻게 되고, 노출된 GaN 완충층(2a)을 이용하여 재성장을 실시한다(도 6c 참조). 재성장층은 n형 GaN 완충층(2a) 상에 n형 GaN층(2)과 InGaN/GaN QW 활성층(3) 및 p형 GaN층(4)이 순차적으로 성장된다(도 6d 참조). 도 6d에 도시된 바와 같이 발광 기동(10)을 형성하는 재성장층의 두께는 산화막의 두께와 동일하도록 형성하는 것이 바람직하다. 마지막으로 도면에 도시하지는 않았지만 제 1 실시예와 같이 투명전극과 p형 전극 및 n형 전극을 형성하여 소자를 완성한다.

물론, 본 실시예에서도 완성된 소자의 기판과 최상층에 한 쌍의 DBR층을 형성하여 공진기 구조의 LED를 형성하거나 기판 또는 최상층에 AR층을 코팅하여 광효율을 더욱 증대시킬 수 있다.

이상의 실시예에서는 마이크로 사이즈의 질화물계 반도체 발광 다이오드에 대하여 설명하였으나, 본 발명은 마이크로 사이즈의 모든 발광 다이오드 소자들에 용이하게 적용될 수 있다.

#### 발명의 효과

상기한 바와 같이 본 발명에 의하면, 마이크로 사이즈의 질화물 발광 기동 어레이와 발광 기동들 간의 갭을 충진재로 채우고 CMP공정을 통해 평탄화하고 그 표면에 투명 전극을 형성함으로써, 발광 면적을 최대로 증대시키고 활성층에서 발생된 빛을 소자 외부에서 고효율로 이용할 수 있다는 이점이 있다.

뿐만 아니라 기존의 대면적 LED와 동일한 전력을 소모하면서도 발광 효율이 매우 우수한 고휘도 질화물 마이크로 LED를 제공할 수 있다.

게다가 본 발명에 의하면, 개선된 구조를 갖는 고휘도 질화물 마이크로 LED를 이용함으로써, 디스플레이와 조명용 LED 수요를 보다 많이 창출하는 계기를 마련할 것으로 기대된다. 더욱이, 본 발명은 마이크로 디스플레이를 위한 마이크로 LED 제조방법에도 응용될 수 있다.

본 명세서에서 기술된 실시예들은 단지 설명의 목적으로 기재된 것이며, 따라서 당업자들에 의한 이들의 다양한 변형내지는 사소한 변경은 본 발명의 기술적 사상의 범주에 포함되며 나아가 본 특허청구범위에 속하는 것으로 이해되어야 할 것이다.

#### (57) 청구의 범위

##### 청구항 1.

다수개의 마이크로 발광 기동을 구비한 고휘도 질화물 마이크로 LED(Light Emitting Diode)에 있어서,

기판(1)상에 형성된 n형 GaN층(2)과, 상기 n형 GaN층(2) 위에 형성된 활성층(3), 및 상기 활성층(3) 위에 형성된 p형 GaN층(4)을 구비한 다수개의 마이크로 사이즈 발광기동(10; pillar)과;

상기 발광기동들(10) 사이에 발광기동들(10)과 동일한 높이로 채워진 충진재(5; gap filling material)와;

상기 발광기동들(10)과 상기 충진재(5)의 상부면(11)에 형성된 p형 투명전극(6)과;

상기 p형 투명전극(6) 위에 형성된 p형 전극(7); 및

상기 n형 GaN층(2)과 전기적으로 접속된 n형 전극(8)을 포함하며,

상기 발광기등 어레이는 동시에 구동되는 것을 특징으로 하는 고휘도 질화물 마이크로 LED.

### 청구항 2.

제 1항에 있어서,

상기 층진재(5)는  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ ,  $\text{SiO}_2$ 와  $\text{Si}_3\text{N}_4$ 의 조합, 폴리아미드(Polyamide),  $\text{ZrO}_2/\text{SiO}_2$  및  $\text{HfO}_2/\text{SiO}_2$  중에서 선택된 적어도 하나로 이루어진 것을 특징으로 하는 고휘도 질화물 마이크로 LED.

### 청구항 3.

제 2항에 있어서,

상기 층진재(5)는 CMP(Chemical Mechanical Polishing) 공정에 의해 상기 발광기등들(10)과 동일한 높이로 채워지도록 형성되는 것을 특징으로 하는 고휘도 질화물 마이크로 LED.

### 청구항 4.

제 3항에 있어서,

상기 발광기등들(10)의 p형 GaN층(4)의 상부면은 상기 CMP 공정에 의해 형성된 볼록면(11a)을 구비하는 것을 특징으로 하는 고휘도 질화물 마이크로 LED.

### 청구항 5.

제 1항에 있어서,

상기 투명전극(6)은 산화된 Ni/Au(NiO/Au)의 조합 또는 ITO(Indium Tin Oxide)로 이루어진 것을 특징으로 하는 고휘도 질화물 마이크로 LED.

### 청구항 6.

제 1항에 있어서,

상기 투명전극(6)의 상부면과 상기 기판(1)의 바닥면 위에 각각 형성된 한쌍의 DBR(Distributed Bragg Reflectors)층(9)을 더 구비하는 것을 특징으로 고휘도 질화물 마이크로 LED.

### 청구항 7.

제 1항에 있어서,

상기 투명전극(6)의 상부면 또는 상기 기판(1)의 바닥면 위에 코팅된 AR(Anti-Reflection)층을 더 구비하는 것을 특징으로 고휘도 질화물 마이크로 LED.

### 청구항 8.

제 1항에 있어서,

상기 발광기등들(10)은 경사지게 형성된 측면부(10a)를 구비하는 것을 특징으로 하는 고휘도 질화물 마이크로 LED.

### 청구항 9.

제 8항에 있어서,

상기 발광기등들(10)의 사이의 캡(12) 내에 상기 층진재(5) 아래에 형성되고  $\text{ZrO}_2/\text{SiO}_2$  또는  $\text{HfO}_2/\text{SiO}_2$ 로 이루어진 DBR층(9a)을 더 구비하는 것을 특징으로 하는 고휘도 질화물 마이크로 LED.

### 청구항 10.

다수개의 마이크로 발광 기등을 구비하고 플립칩 방식으로 실장되는 고휘도 질화물 마이크로 LED에 있어서,

사파이어 기판(1)과;

상기 사파이어 기판(1)상에 성장된 n형 GaN층(2)과, 상기 n형 GaN층(2) 위에 성장된 활성층(3), 및 상기 활성층(3) 위에 성장된 p형 GaN층(4)을 구비한 다수개의 마이크로 사이즈 발광기둥(10)과;

상기 발광기둥들(10) 사이에 발광기둥들(10)과 동일한 높이로 채워진 충진재(5)와;

상기 발광기둥들(10)과 상기 충진재(5)의 상부면(11)에 형성된 금속전극(6a)과;

상기 금속전극(6a) 위에 형성된 p형 전극(7); 및

상기 n형 GaN층(2)과 전기적으로 접속된 n형 전극(8)을 포함하며,

상기 발광기둥 어레이는 동시에 구동되는 것을 특징으로 하는 고휘도 질화물 마이크로 LED.

### 청구항 11.

다수개의 마이크로 발광기둥을 구비한 고휘도 질화물 마이크로 LED를 제조하는 방법에 있어서,

(a) 웨이퍼 또는 기판(1)상에 n형 GaN층(2)과 활성층(3) 및 p형 GaN층(4)을 순차적으로 성장시키는 단계와;

(b) 상기 n형 GaN층(2)과 활성층(3) 및 p형 GaN층(4)을 구비한 발광기둥들(10)이 기판(1)상에 형성되도록 상기 가공된 웨이퍼를 건식 식각하는 단계와;

(c) 상기 발광기둥들(10) 사이의 갭(12)에 충진재(5)를 증착시키는 단계와;

(d) CMP 공정에 의해 상기 발광기둥(10) 어레이 상부면과 충진재(5)의 상부면을 평탄화하는 단계와;

(e) 상기 발광기둥(10) 어레이와 충진재(5)의 상부면 전체에 투명전극(6)을 증착하고 p형 전극(7) 및 n형 전극(8)을 소정 위치에 각각 증착하며 열처리하는 단계를 포함하는 것을 특징으로 하는 고휘도 질화물 마이크로 LED의 제조 방법.

### 청구항 12.

제 11항에 있어서,

상기 (c)단계는 상기 충진재(5)가 상기 발광기둥들(10) 사이의 갭(12)에 완전히 채워지도록 행해지고,

상기 (d)단계는 상기 발광기둥들(10)의 상부면과 상기 충진재(5)의 상부면이 동일한 높이가 되도록 행해지는 것을 특징으로 하는 고휘도 질화물 마이크로 LED의 제조방법.

### 청구항 13.

제 11항에 있어서,

상기 (c)단계는 상기 충진재(5)가 상기 발광기둥들(10) 사이의 갭(12)에 완전히 채워지도록 행해지고,

상기 (d)단계는 상기 발광기둥들(10)의 p형 GaN층(4)의 상부면이 볼록면(11a)으로 형성되도록 행해지는 것을 특징으로 하는 고휘도 질화물 마이크로 LED의 제조방법.

### 청구항 14.

제 11항에 있어서,

상기 충진재(5)는  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ ,  $\text{SiO}_2$ 와  $\text{Si}_3\text{N}_4$ 의 조합, 폴리아미드(Polyamide),  $\text{ZrO}_2/\text{SiO}_2$  및  $\text{HfO}_2/\text{SiO}_2$  중에서 선택된 적어도 하나인 것을 특징으로 하는 고휘도 질화물 마이크로 LED의 제조방법.

### 청구항 15.

제 11항에 있어서,

상기 투명전극(6)은 산화된  $\text{Ni}/\text{Au}(\text{NiO}/\text{Au})$ 의 조합 또는 ITO(Indium Tin Oxide)로 이루어진 것을 특징으로 하는 고휘도 질화물 마이크로 LED의 제조방법.

### 청구항 16.

제 11항에 있어서,

상기 (e)단계 이후에 상기 투명전극(6)의 상부면과 상기 기판(1)의 바닥면 위에 한 쌍의 DBR층(9)을 증착하는 단계를 더 포함하는 것을 특징으로 고휘도 질화물 마이크로 LED의 제조방법.

### 청구항 17.

제 11항에 있어서,

상기 (e)단계 이후에 상기 투명전극(6)의 상부면 또는 상기 기판(1)의 바닥면 위에 AR층을 코팅하는 단계를 더 포함하는 것을 특징으로 고휘도 질화물 마이크로 LED의 제조방법.

### 청구항 18.

제 11항에 있어서,

상기 (b)단계는 상기 발광기둥들(10)의 측면이 경사부(10a)로 형성되도록 공정 변수가 제어되는 것을 특징으로 하는 고휘도 질화물 마이크로 LED의 제조방법.

### 청구항 19.

제 18항에 있어서,

상기 (b)단계와 상기 (c)단계 사이에는 상기 발광기둥들(10) 사이의 캡(12) 내측에 DBR층(9a)을 증착하는 단계가 더 포함되는 것을 특징으로 하는 고휘도 질화물 마이크로 LED의 제조방법.

### 청구항 20.

다수개의 마이크로 발광 기둥을 구비하고 플립칩 방식으로 실장되는 고휘도 질화물 마이크로 LED를 제조하는 방법에 있어서,

(a) 사파이어 웨이퍼 또는 기판(1)상에 n형 GaN층(2)과 활성층(3) 및 p형 GaN층(4)을 순차적으로 성장시키는 단계와;

(b) 상기 n형 GaN층(2)과 활성층(3) 및 p형 GaN층(4)을 구비한 발광기둥들(10)이 기판(1)상에 형성되도록 상기 가공된 웨이퍼를 건식 식각하는 단계와;

(c) 상기 발광기둥들(10) 사이의 캡(12)에 충진재(5)를 증착시키는 단계와;

(d) CMP 공정에 의해 상기 발광기둥(10) 어레이의 상부면과 상기 충진재(5)의 상부면을 평탄화하는 단계와;

(e) 상기 발광기둥(10) 어레이 상부면 전체에 금속전극(6a)을 증착시키고 p형 전극(7) 및 n형 전극(8)을 각각 증착시키며 열처리하는 단계를 포함하는 것을 특징으로 하는 고휘도 질화물 마이크로 LED의 제조방법.

### 청구항 21.

다수개의 마이크로 발광기둥을 구비한 고휘도 질화물 마이크로 LED를 제조하는 방법에 있어서,

(a) 웨이퍼 또는 기판(1)상에 n형 GaN 완충층(2a)을 성장시키는 단계와;

(b) 상기 n형 GaN 완충층(2a) 위에 산화막(5)을 증착시키는 단계와;

(c) 상기 산화막(5)이 다수개의 기둥들(5a)과 그 사이의 캡(13)을 갖도록 상기 산화막(5)을 습식 식각하고 패터닝하는 단계와;

(d) 상기 캡(13)의 바닥면에 노출된 상기 n형 GaN 완충층(2a)을 이용하여 n형 GaN층(2)과 활성층(3) 및 p형 GaN층(4)을 산화막 기둥(5a)의 높이까지 순차적으로 재성장시키는 단계와;

(e) 상기 재성장된 발광기둥(10) 어레이의 상부면 전체에 투명전극(6)을 증착하고 상기 투명전극(6)의 소정 위치에 p형 전극(7)을 증착하며, 상기 n형 GaN 완충층(2a) 위에 n형 전극(8)을 증착하고 열처리하는 단계를 포함하는 것을 특징으로 하는 고휘도 질화물 마이크로 LED의 제조방법.

### 청구항 22.

제 21항에 있어서,

상기 (e)단계 이후에 상기 투명전극(6)의 상부면과 상기 기판(1)의 바닥면 위에 한쌍의 DBR층(9)을 증착하는 단계를 더 포함하는 것을 특징으로 고체도 질화물 마이크로 LED의 제조방법.

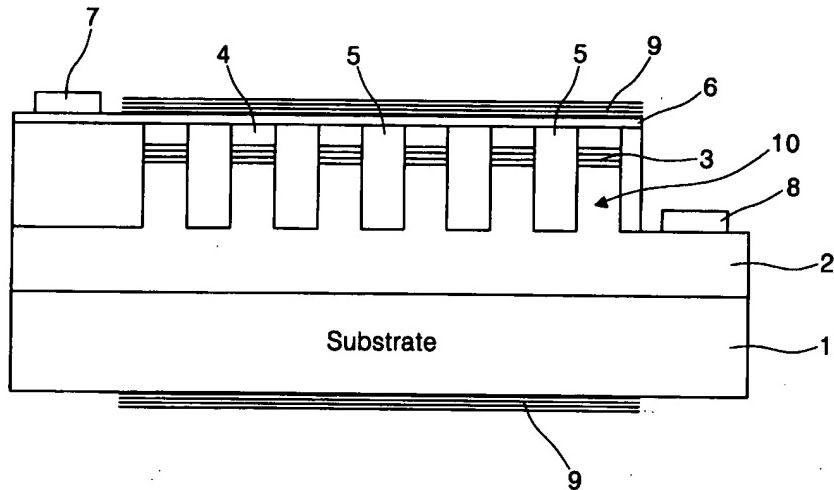
### 청구항 23.

제 21항에 있어서,

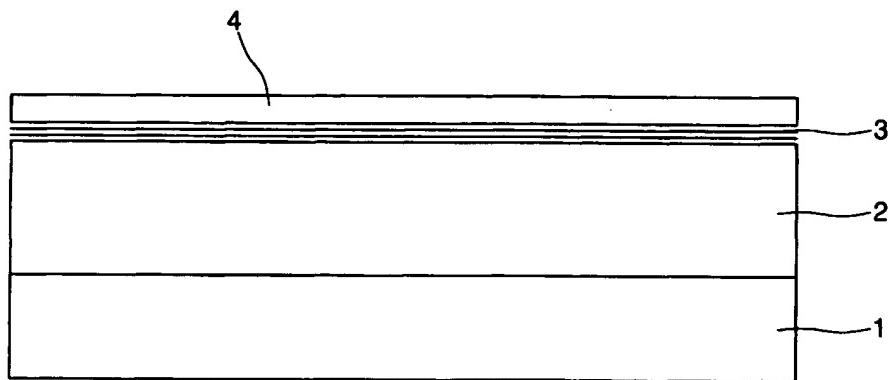
상기 (e)단계 이후에 상기 투명전극(6)의 상부면 또는 상기 기판(1)의 바닥면 위에 AR층을 코팅하는 단계를 더 포함하는 것을 특징으로 고체도 질화물 마이크로 LED의 제조방법.

도면

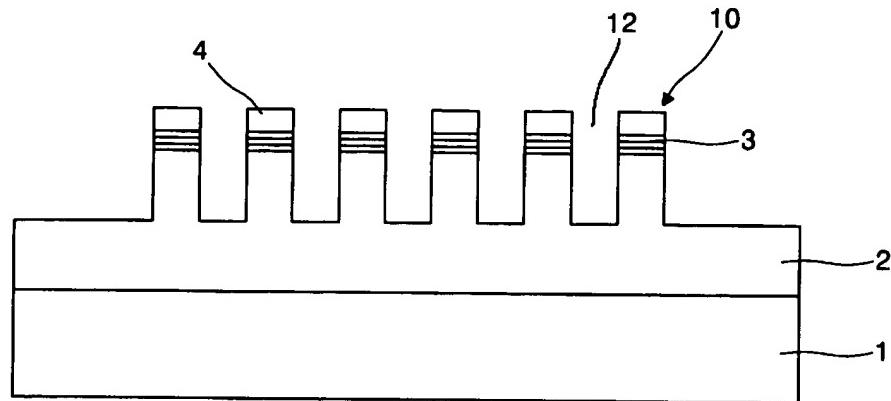
도면 1



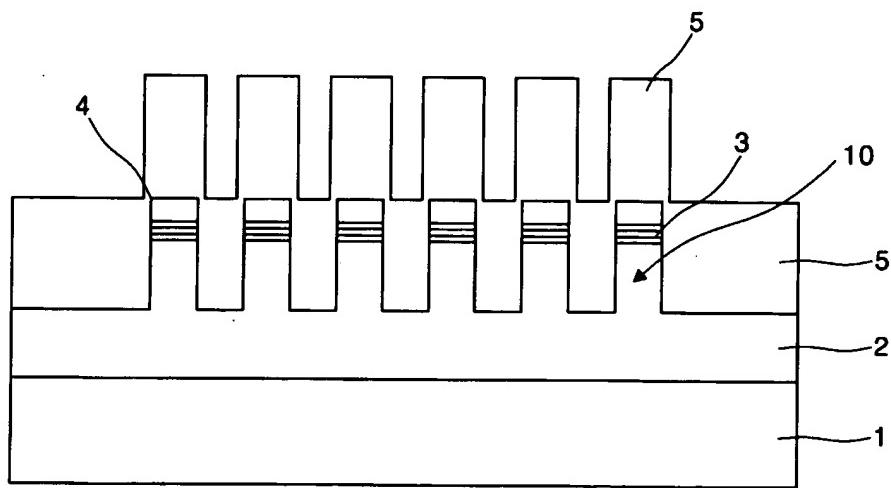
도면 2a



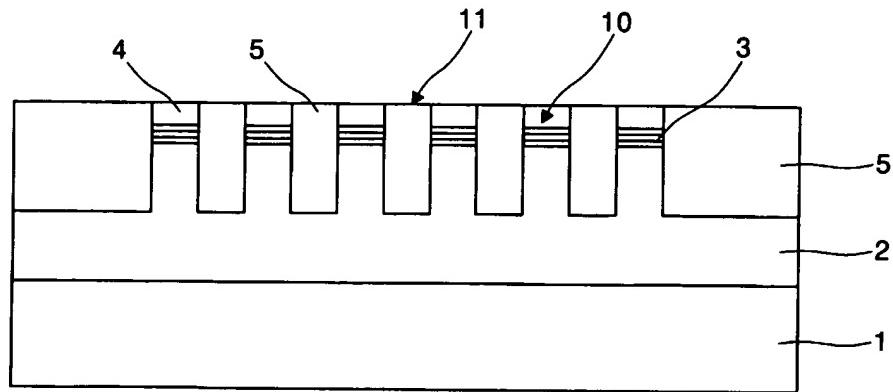
도면2b



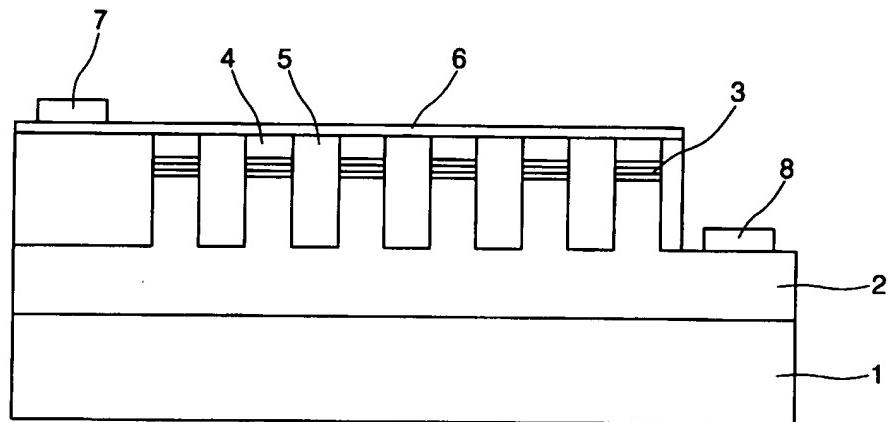
도면2c



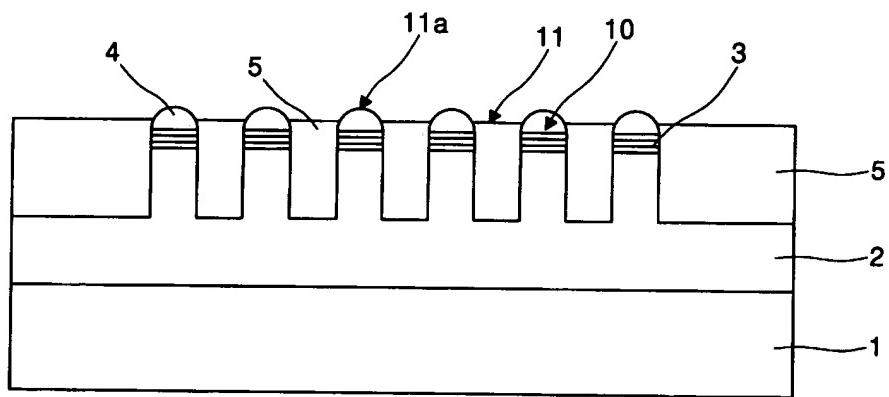
도면2d



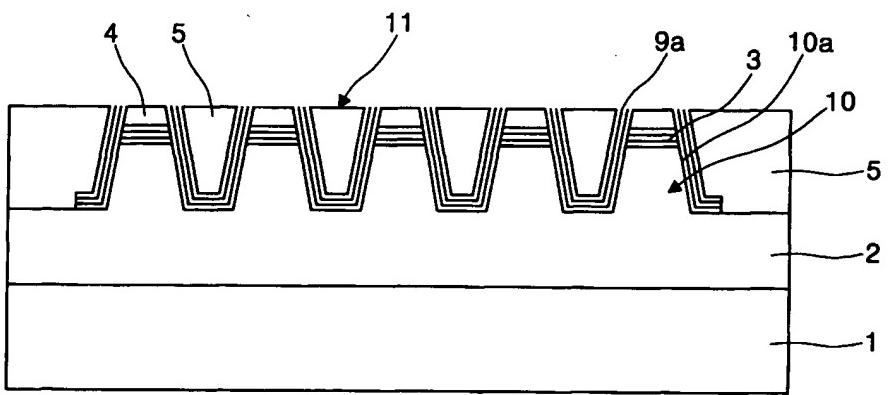
도면2e



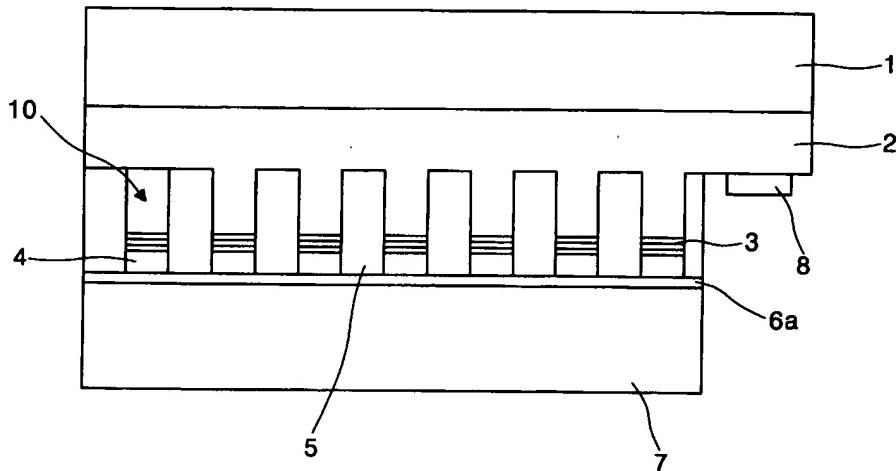
도면3



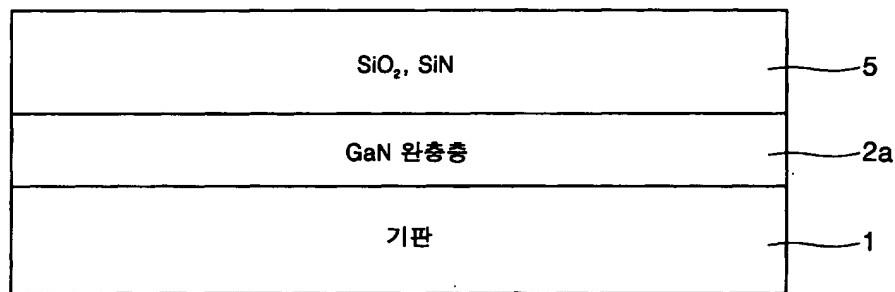
도면4



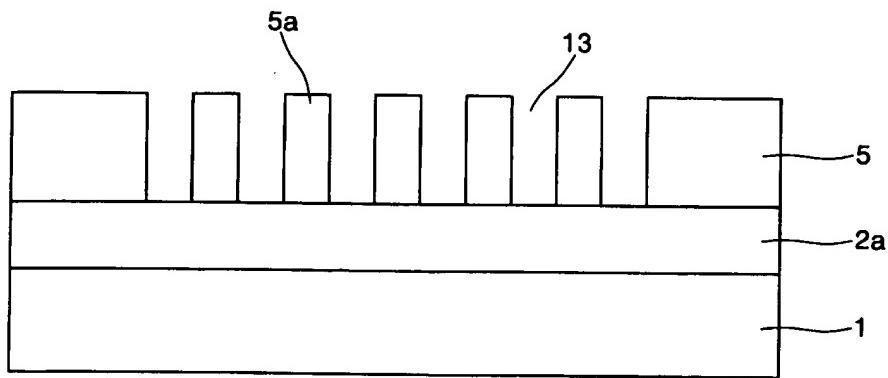
도면5



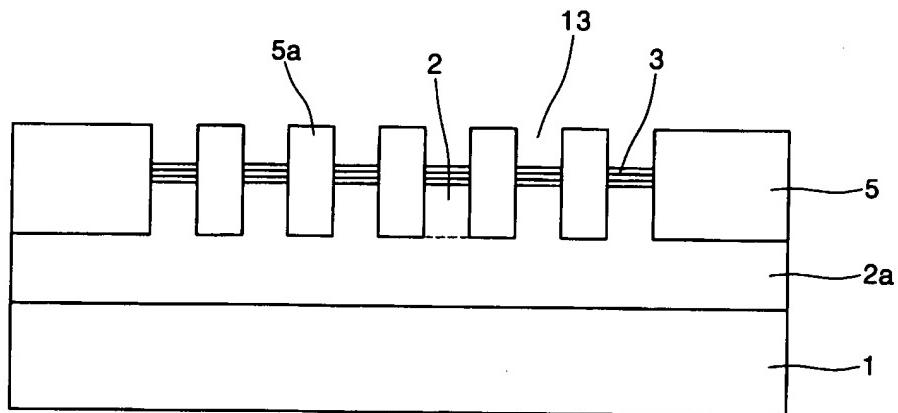
도면6a



도면6b



도면6c



도면6d

